

PAT-NO: JP02000020459A

DOCUMENT-IDENTIFIER: JP 2000020459 A

TITLE: QUICK ACCESS CONTROL SYSTEM FOR CPU

PUBN-DATE: January 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAJIMA, IWAO	N/A
INOUE, KOICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP10187175

APPL-DATE: July 2, 1998

INT-CL (IPC): G06F013/36, G06F003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a smooth quick access between a CPU and a quick access area by controlling the switching of a switching means for a data bus between the control means and a normal access area.

SOLUTION: Data among a CPU 1 to be a control means, a quick access area 2 related to the CPU 1 and a normal access area 3 requiring a normal access related to the CPU 1 are transmitted through a data bus 4 to be an address/data line. A bus switch 5 to be a switching means for turning on/off the bus 4 is connected between the CPU 1 and the area 3. At the time of detecting an access command for urging access operation from the CPU 1 to the area 2 in accordance with a prescribed signal, a bus control part 6 controls the switching of the bus switch 5 so as to turn off the data bus 4 between the CPU 1 and the area 3.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20459

(P2000-20459A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 13/36	5 2 0	G 0 6 F 13/36	5 2 0 D 5 B 0 6 1
	3 2 0		3 2 0 Z
3/00		3/00	A

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平10-187175

(22) 出願日 平成10年7月2日 (1998.7.2)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中嶋 巖

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者 井上 光一

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100083954

弁理士 青木 輝夫

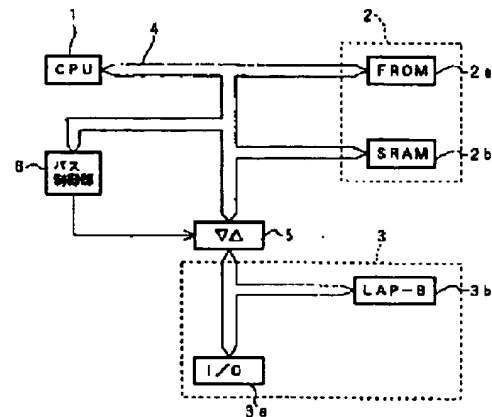
Fターム(参考) 5B061 FF12 PP00

(54) 【発明の名称】 CPUの高速アクセス制御方式

(57) 【要約】

【課題】 高速アクセスをスムーズに実現することができない。

【解決手段】 この装置全体の制御を司るCPU1と、このCPU1に関わる高速アクセスを要する高速アクセス領域2と、この高速アクセス領域2以外の、CPU1に関わる通常アクセスを要する通常アクセス領域3と、高速アクセス領域2及び通常アクセス領域3とCPU1との間のデータを伝送するためのデータバス4と、CPU1と通常アクセス領域3との間のデータバス4をON/OFF制御するバススイッチ5と、CPU1から高速アクセス領域2へのアクセス動作を促すアクセス指令を検出すると、CPU1と通常アクセス領域3との間のデータバス4をOFFにするようにバススイッチ5を切替制御するバス制御部6とで構成する。



- 1 CPU (制御手段)
- 2 高速アクセス領域
- 3 通常アクセス領域
- 4 データバス
- 5 バススイッチ (切替手段)
- 6 バス制御部 (切替制御手段)

【特許請求の範囲】

【請求項1】 演算処理を実行する制御手段と、この制御手段に関わる高速アクセスを要する高速アクセス領域と、この高速アクセス領域以外の、前記制御手段に関わる通常アクセスを要する通常アクセス領域と、前記高速アクセス領域及び通常アクセス領域と制御手段との間のデータを伝送するためのデータバスと、前記制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段と、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御する切換制御手段とを有することを特徴とするCPUの高速アクセス制御方式。

【請求項2】 前記制御手段から高速アクセス領域へのアクセス動作を促すアクセス指令を検出するアクセス指令検出手段を有し、前記切換制御手段は、このアクセス指令検出手段にてアクセス指令を検出すると、前記制御手段と通常アクセス領域との間のデータバスを切断するように切換手段を切換制御することを特徴とする請求項1記載のCPUの高速アクセス制御方式。

【請求項3】 前記高速アクセス領域及び制御手段間のデータバスは、前記通常アクセス領域及び制御手段間のデータバスよりも、その配線容量を少なくしたことを特徴とする請求項1又は2記載のCPUの高速アクセス制御方式。

【請求項4】 前記切換制御手段は、インピーダンス値の変更することで、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御することを特徴とする請求項1又は2記載のCPUの高速アクセス制御方式。

【請求項5】 前記切換制御手段は、インピーダンス値の変更することで、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御することを特徴とする請求項3記載のCPUの高速アクセス制御方式。

【請求項6】 有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニットを制御する制御ユニットであることを特徴とする請求項1、2又は5記載のCPUの高速アクセス制御方式。

【請求項7】 有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニットを制御する制御ユニットであることを特徴とする請求項3記載のCPUの高速アクセス制御方式。

【請求項8】 有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニット

を制御する制御ユニットであることを特徴とする請求項4記載のCPUの高速アクセス制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば高速アクセス領域及び通常アクセス領域にデータバスを介して夫々アクセスするCPUの高速アクセス制御方式に関する。

【0002】

【従来の技術】図2は従来のCPUの高速アクセス制御方式としての電子装置内部の概略構成を示すブロック図である。

【0003】従来、このような電子装置としては、演算処理を実行するCPU21と、このCPU21に関わる高速アクセスを要するフラッシュROM (FROM) 及びスタティックRAM (SRAM) 等の高速アクセス領域22と、この高速アクセス領域22以外の、CPU21に関わる通常アクセスを要するI/O等の通常アクセス領域23と、前記高速アクセス領域22及び通常アクセス領域23とCPU21との間のデータを伝送するためのデータバス24とを有している。

【0004】このような電子装置によれば、データバス24を介して、前記CPU21による通常アクセス領域23及び高速アクセス領域22へのアクセスを可能としている。

【0005】近年、このような電子装置としてあげられるのが、一般の有線交換網と無線網とを通信接続する通信回線システムの通信制御センタにおける音声処理部に採用されている。図3は、このような一般的な通信回線システムの概略構成を示すシステムブロック図である。

【0006】図3に示す通信回線システムは、移動局30及び、この移動局30と無線接続する基地局40で構成する無線網と、一般の公衆回線と有線接続する交換網50と、前記基地局40と交換網50とを有線接続する通信制御センタ60とを有している。

【0007】前記基地局40は、移動局30との間で通信電波を送受信する送受信アンテナ41と、この送受信アンテナ41にて受信された通信電波を増幅するアンプ42と、この通信電波を変調又は復調する変復調部43とを有している。

【0008】前記通信制御センタ60は、一般の交換網50と基地局40との間を通信接続する交換器61と、一般の交換網50及び基地局40間で、交換網50及び移動局30間の音声データを圧縮／伸長する音声処理部62とを有している。

【0009】この音声処理部62は、例えば一般の交換網50からの64Kbpsの音声データを無線網への5.6Kbpsの音声データに圧縮すると共に、無線網からの5.6Kbpsの音声データを交換網50への64Kbpsの音声データに伸長する複数の音声伸長圧縮処理ユニット62aと、これら複数の音声圧縮伸長処理

ユニット62aを制御する制御ユニット62bとを有している。

【0010】このような通信回線システムによれば、前記音声処理部62内の各音声圧縮伸長処理ユニット62aで交換網50及び無線網間の音声データを圧縮／伸長することにより、一般の交換網50及び無線網間の通信を実現することができる。

【0011】それ故、このような音声処理部62の制御ユニット62bにおいては、リアルタイムに大量の複数チャンネルの音声データの圧縮／伸長処理を行う必要がある、つまり、リアルタイムに複数の音声圧縮伸長処理ユニット62aを制御する必要がある、一般的に高速アクセスに対応した電子装置が要求されているのが実情である。

【0012】

【発明が解決しようとする課題】しかしながら、従来の電子装置においては、図2に示すように高速アクセス領域22をCPU21に隣接して配置すると共に、この高速アクセス領域22以外の通常アクセス領域23を空きスペースに配置して、これらCPU21、高速アクセス領域22及び通常アクセス領域23間をデータバスで接続するようにしたが、このデータバス24の距離が長くなると、その配線容量が大きくなってしまいうために波形なまりが発生し、この波形なまりに起因するデータ誤りが高速アクセスの必要な高速アクセス領域22及びCPU21間の処理動作に支障を来すといった問題点があった。

【0013】本発明は上記問題点を鑑みてなされたものであり、その目的とするところは、CPU及び高速アクセス領域間のスムーズな高速アクセスを実現するCPUの高速アクセス制御方式を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明のCPUの高速アクセス制御方式は、演算処理を実行する制御手段と、この制御手段に関わる高速アクセスを要する高速アクセス領域と、この高速アクセス領域以外の、前記制御手段に関わる通常アクセスを要する通常アクセス領域と、前記高速アクセス領域及び通常アクセス領域と制御手段との間のデータを伝送するためのデータバスと、前記制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段と、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御する切換制御手段とを有することを特徴とする。

【0015】従って、本発明のCPUの高速アクセス制御方式によれば、制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段を設け、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御するようにした、つまり、前記制御手段から高速アクセス領域に高速アクセ

スを実行する場合には、制御手段と通常アクセス領域との間のデータバスを切断するようにしたので、前記制御手段及び高速アクセス領域間のデータバスの配線容量を少なくすることで高速処理の弊害となる要因を低減し、制御手段及び高速アクセス領域間のスムーズな高速アクセスを実現することができる。

【0016】

【発明の実施の形態】本発明における請求項1記載のCPUの高速アクセス制御方式は、演算処理を実行する制御手段と、この制御手段に関わる高速アクセスを要する高速アクセス領域と、この高速アクセス領域以外の、前記制御手段に関わる通常アクセスを要する通常アクセス領域と、前記高速アクセス領域及び通常アクセス領域と制御手段との間のデータを伝送するためのデータバスと、前記制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段と、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御する切換制御手段とを有することを特徴とする。

【0017】前記制御手段とは、例えば周辺回路にアクセスして演算処理等を実行する中央処理制御装置(CPU)に相当するものである。

【0018】前記高速アクセス領域とは、前記制御手段に関わる高速アクセスを要する領域に相当するものであり、例えばFROMやSRAM等に相当するものである。

【0019】前記通常アクセス領域とは、前記高速アクセス領域以外の、前記制御手段に関わる通常アクセスを要する領域に相当するものであり、例えばI/Oレジスタ等に相当するものである。

【0020】前記データバスは、前記高速アクセス領域及び通常アクセス領域と制御手段との間のデータを伝送するための伝送路に相当するものである。

【0021】前記切換手段は、前記制御手段と通常アクセス領域との間のデータバスを接続又は切断するバススイッチに相当するものである。

【0022】前記切換制御手段は、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御する切換制御部に相当するものである。

【0023】従って、本発明における請求項1記載のCPUの高速アクセス制御方式によれば、制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段を設け、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御するようにした、つまり、前記制御手段から高速アクセス領域に高速アクセスを実行する場合には、制御手段と通常アクセス領域との間のデータバスを切断するようにしたので、前記制御手段及び高速アクセス領域間のデータバスの配線容量を少なくすることで高速処理の弊害

となる要因を低減し、制御手段及び高速アクセス領域間のスムーズな高速アクセスを実現することができる。

【0024】また、本発明における請求項2記載のCPUの高速アクセス制御方式は、上記請求項1記載の構成に加えて、前記制御手段から高速アクセス領域へのアクセス動作を促すアクセス指令を検出するアクセス指令検出手段を有し、前記切換制御手段は、このアクセス指令検出手段にてアクセス指令を検出すると、前記制御手段と通常アクセス領域との間のデータバスを切断するように切換手段を切換制御することを特徴とする。

【0025】前記アクセス指令検出手段は、前記制御手段から高速アクセス領域へのアクセス動作を促すアクセス指令を検出する部位に相当するものである。

【0026】従って、本発明における請求項2記載のCPUの高速アクセス制御方式によれば、上記請求項1記載の効果に加えて、アクセス指令検出手段にてアクセス指令を検出すると、制御手段と通常アクセス領域との間のデータバスを切断するように切換手段を切換制御するようにしたので、自動的に切換動作を行うことができる。

【0027】また、本発明における請求項3記載のCPUの高速アクセス制御方式は、上記請求項1又は2記載の構成に加えて、前記高速アクセス領域及び制御手段間のデータバスは、前記通常アクセス領域及び制御手段間のデータバスよりも、その配線容量を少なくしたことを特徴とする。

【0028】従って、本発明における請求項3記載のCPUの高速アクセス制御方式によれば、上記請求項1又は2記載の効果に加えて、高速アクセス領域及び制御手段間のデータバスは、前記通常アクセス領域及び制御手段間のデータバスよりも、その配線容量を少なくしたので、より高速なアクセスを実現することができる。

【0029】また、本発明における請求項4記載のCPUの高速アクセス制御方式は、上記請求項1又は2記載の構成に加えて、前記切換制御手段は、インピーダンス値の変更することで、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御することを特徴とする。

【0030】本発明における請求項5記載のCPUの高速アクセス制御方式は、上記請求項3記載の構成に加えて、前記切換制御手段は、インピーダンス値の変更することで、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御することを特徴とする。

【0031】従って、本発明における請求項4又は5記載のCPUの高速アクセス制御方式によれば、上記請求項1又は2、又は3記載の効果に加えて、インピーダンス値の変更で切換手段の切換制御可能にしたので、容易に高速切換を行うことができる。

【0032】また、本発明における請求項6記載のCPUの高速アクセス制御方式は、上記請求項1、2又は5

記載の構成に加えて、有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニットを制御する制御ユニットであることを特徴とする。

【0033】本発明における請求項7記載のCPUの高速アクセス制御方式は、上記請求項3記載の構成に加えて、有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニットを制御する制御ユニットであることを特徴とする。

【0034】本発明における請求項8記載のCPUの高速アクセス制御方式は、上記請求項4記載の構成に加えて、有線回線と無線回線とを接続する通信システムにおいて、これらの有線回線及び無線回線間における通信データの圧縮伸長処理を施す圧縮伸長ユニットを制御する制御ユニットであることを特徴とする。

【0035】前記圧縮伸長ユニットは、例えば有線回線における64Kbpsの音声データを無線回線における5.6Kbpsの音声データに圧縮すると共に、無線回線における5.6Kbpsの音声データを有線回線における64Kbpsの音声データに伸長する音声処理部等に使用される音声圧縮伸長処理ユニットに相当するものである。

【0036】前記制御ユニットは、例えば音声圧縮伸長処理ユニットを制御するユニットに相当するものである。

【0037】従って、本発明における請求項6、7又は8記載のCPUの高速アクセス制御方式によれば、上記請求項1、2又は5、3又は4記載の効果に加えて、有線回線及び無線回線間の音声圧縮伸長を実現することで、有線回線及び無線回線間の通信をスムーズに行うことができる。

【0038】以下、図面に基づいて本発明のCPUの高速アクセス制御方式の実施の形態を示す電子装置について説明する。

【0039】(実施の形態)図1は本実施の形態に示す電子装置内部の概略構成を示すブロック図である。

【0040】図1に示す電子装置は、この装置全体の制御を司るCPU1と、このCPU1に関わる高速アクセスを要する高速アクセス領域2と、この高速アクセス領域2以外の、CPU1に関わる通常アクセスを要する通常アクセス領域3と、前記高速アクセス領域2及び通常アクセス領域3とCPU1との間のデータを伝送するためのアドレス/データラインとしてのデータバス4と、CPU1と通常アクセス領域3との間のデータバス4をON/OFFするバススイッチ5と、前記CPU1から高速アクセス領域2へのアクセス動作を促すアクセス指令を検出すると、前記CPU1と通常アクセス領域3との間のデータバス4をOFFにするようにバススイッチ

5を切換制御するバス制御部6とで構成する。

【0041】前記高速アクセス領域2は、例えばF R O M 2 a 及び S R A M 2 b 等で構成し、前記通常アクセス領域3は、例えばI/Oレジスタ3 a 及びL A P - B 3 b 等で構成するものである。

【0042】前記CPU1は、この装置全体の制御を司り、殊にリード/ライト制御、演算処理、バス制御部6のバススイッチ切換制御等を制御するものである。前記バス制御部6は、CPU1からの指令に応じてバススイッチ5の切換動作を制御するものである。

【0043】前記高速アクセス領域2は、特に高速性が要求される処理領域であり、その他の通常アクセス領域3と独立して構成するものである。この高速アクセス領域2はデータバス4を介してCPU1と直結しているが、その他の通常アクセス領域3はバススイッチ5を介してCPU1との接続がON/OFF切替可能に構成されている点で相違している。尚、前記通常アクセス領域3は高速性が要求されない処理領域に相当するものである。

【0044】バススイッチ5は、CPU1との電気的な接/断の制御をバス制御部6で行う。より具体的には、本バススイッチ5は、入出力間が、接続時には低インピーダンスであり、切断時には高インピーダンスとなり、通常アクセス領域3とCPU1及び高速アクセス領域2との間の電気的接続が実施的に縁切りされる。

【0045】データバス4は、CPU1と高速アクセス領域2及び通常アクセス領域3等との間でデータ及び処理信号・データアドレス信号等を授受するための伝送路である。

【0046】このような電子装置は、バススイッチ5の状態により装置内部の特性が変わる。この内容を以下に詳述する。

【0047】従来、良く知られていることではあるが、装置、ボード、回路、素子等は一般的に、大なり小なり、LCRの電気的な要因を持つ。これらの電気的な要因は、低速・低電力動作の場合には装置全体への表立った影響は生じない。しかし、特に装置の動作が高速化された場合、無視できない要因となる。つまり、回路に寄生するLCRは、電気信号、特に高速度信号のタイミング遅延、波形の鈍り、減衰等を生じさせる。これらの要因が高速度駆動化の障害となる。

【0048】上記「発明が解決しようとする課題」の欄で述べた問題点の発生は、これらの要因に基づくものである。よって、これらの要因をできるだけ小さくすることが問題の一つの解決策となる。

【0049】そこで、本実施の形態に示す電子装置は、高速度処理時に用いる高速アクセス領域2をCPU1の近隣に設け、さらに、高速度処理時には用いない通常アクセス領域3の前段にバススイッチ5を設けている。よって、このバススイッチ5のON/OFF制御により、

実質上の回路長の短縮化ができる。回路の短縮化は、LCRの電気的な要因、特に容量成分Cの縮小化（配線容量の縮小化）に効果が生じる。

【0050】従って、本実施の形態に示す電子装置によれば、高速度処理の必要な処理時には、バス制御部6を制御してバススイッチ3を高インピーダンス化する。この高インピーダンス化により通常アクセス領域3が実質的にCPU1と直結されたデータバス4から切り離され、CPU1側から見たLCR値が低下する。

10 【0051】この回路に寄生するLCR値の低下により、高速度処理時の信号の安定化が向上する。よって、バススイッチ5が低インピーダンス化時の場合より、高速度処理が可能となる。

【0052】よって、高速アクセス領域2を、高速処理に必要なとする最低限の領域に留め、CPU1へ接近し、より短いデータバス4で直接接続することにより、より高い効果を得ることができる。

【0053】尚、上述の実施形態は本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【0054】

【発明の効果】上記のように構成された本発明のCPUの高速アクセス制御方式によれば、制御手段と通常アクセス領域との間のデータバスを接続又は切断する切換手段を設け、所定信号に応じて、制御手段と通常アクセス領域との間のデータバスにおける切換手段を切換制御するようにした、つまり、前記制御手段から高速アクセス領域に高速アクセスを実行する場合には、制御手段と通常アクセス領域との間のデータバスを切断するようにしたので、前記制御手段及び高速アクセス領域間のデータバスの配線容量を少なくすることで高速処理の弊害となる要因を低減し、制御手段及び高速アクセス領域間のスムーズな高速アクセスを実現することができる。

【図面の簡単な説明】

【図1】本発明のCPUの高速アクセス制御方式における実施の形態を示す電子装置内部の概略構成を示すブロック図

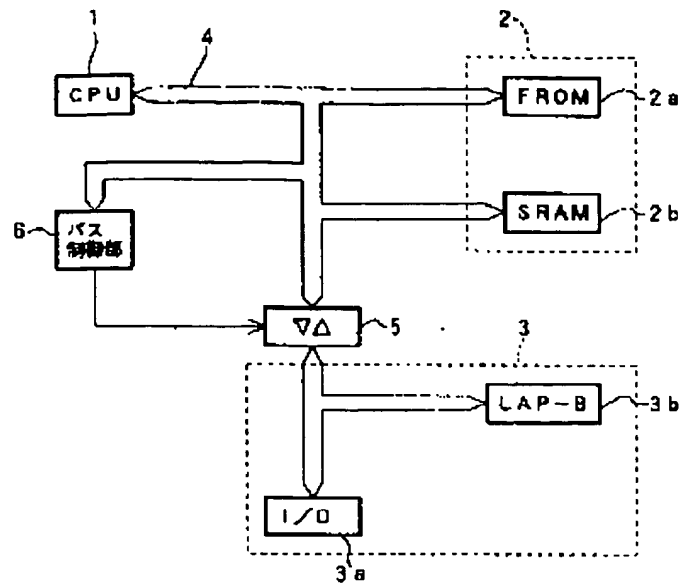
【図2】従来のCPUの高速アクセス制御方式における電子装置内部の概略構成を示すブロック図

【図3】一般的な無線回線システム内部の概略構成を示すシステムブロック図

【符号の説明】

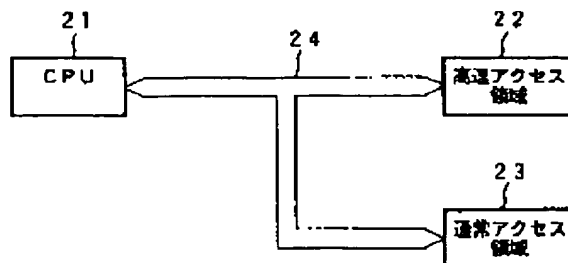
- 1 CPU (制御手段)
- 2 高速アクセス領域
- 3 通常アクセス領域
- 4 データバス
- 5 バススイッチ (切換手段)
- 6 バス制御部 (切換制御手段)

【図1】

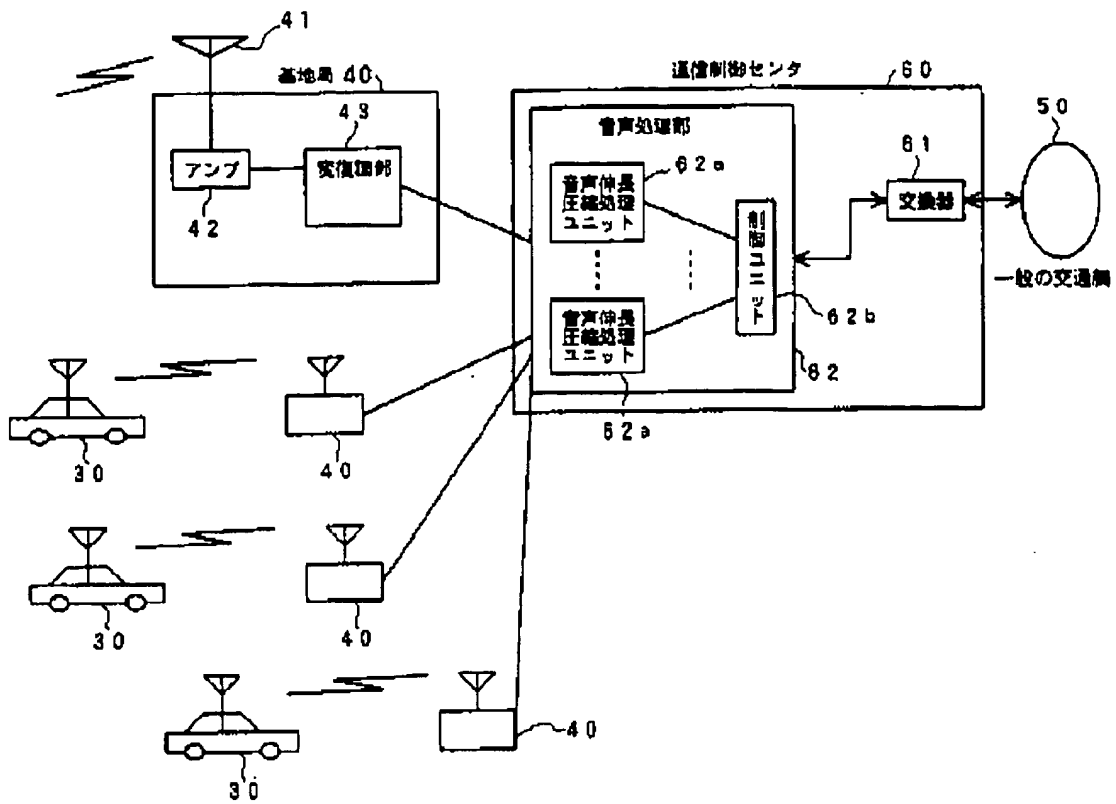


- 1 CPU (制御手段)
- 2 高速アクセス領域
- 3 通常アクセス領域
- 4 データバス
- 5 バススイッチ (切換手段)
- 6 バス制御部 (切換制御手段)

【図2】



【図3】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A rapid access control system of CPU characterized by providing the following. A control means which performs data processing A rapid access field which requires rapid access in connection with this control means A usual access field in connection with said control means other than this rapid access field which usually requires access Said rapid access field and a data bus for usually transmitting data between an access field and a control means, said control means and a means for switching which usually connects or cuts a data bus between access fields, and a change over control means that carries out change over control of a control means and the means for switching [in / usually / a data bus between access fields] according to a predetermined signal

[Claim 2] When it has an access command detection means to detect an access command to which access actuation to a rapid access field from said control means is urged and said change over control means detects an access command with this access command detection means, it is the rapid access control system of CPU according to claim 1 carry out carrying out change over control in a means for switching so that a data bus between access fields may usually be cut with said control means as the feature.

[Claim 3] A data bus of said rapid access field and control hand interstage is the rapid access control system of CPU according to claim 1 or 2 more nearly usually than a data bus of an access field and control hand interstage characterized by said thing [having lessened the wiring capacity].

[Claim 4] Said change over control means is the rapid access control system of CPU according to claim 1 or 2 characterized by carrying out change over control of a control means and the means for switching [in / usually / it is that an impedance value changes and / a data bus between access fields].

[Claim 5] Said change over control means is the rapid access control system of CPU according to claim 3 characterized by carrying out change over control of a control means and the means for switching [in / usually / it is that an impedance value changes and / a data bus between access fields].

[Claim 6] A rapid access control system of CPU according to claim 1, 2, or 5 characterized by being the control unit which controls a compression expanding unit which sets to communication system which connects a wire circuit and a wireless circuit, and performs compression expanding processing of comomo data between these wire circuits and a wireless circuit.

[Claim 7] A rapid access control system of CPU according to claim 3 characterized by being the control unit which controls a compression expanding unit which sets to communication system which connects a wire circuit and a wireless circuit, and performs compression expanding processing of comomo data between these wire circuits and a wireless circuit.

[Claim 8] A rapid access control system of CPU according to claim 4 characterized by being the control unit which controls a compression expanding unit which sets to communication system which connects a wire circuit and a wireless circuit, and performs compression expanding processing of comomo data between these wire circuits and a wireless circuit.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to for example, a rapid access field and the rapid access control system of CPU which usually accesses an access field through a data bus, respectively.

[0002]

[Description of the Prior Art] Drawing 2 is the block diagram showing the outline configuration inside the electronic instrument as a rapid access control system of the conventional CPU.

[0003] Conventionally, as such an electronic instrument, it has CPU21 which performs data processing, the rapid access fields 22, such as a flash ROM (FROM) which requires the rapid access in connection with this CPU21, and a static RAM (SRAM), the usual access fields 23, such as I/O in connection with CPUs21 other than this rapid access field 22 which usually requires access, and said rapid access field 22 and the data bus 24 for usually transmitting the data between the access field 23 and CPU21.

[0004] According to such an electronic instrument, access to the usual access field 23 and the rapid access field 22 by said CPU21 is enabled through the data bus 24.

[0005] It is adopted as the speech processing section in the communications control center of the communication line system by which being raised as such an electronic instrument in recent years makes communication link connection of a common cable switched network and the wireless network. Drawing 3 is system block drawing showing the outline configuration of such a common communication line system.

[0006] The communication line system shown in drawing 3 has the communications control center 60 which makes cable connection of the wireless network constituted from a mobile station 30 and a base station 40 which makes wireless connection with this mobile station 30, the switched network 50 which makes cable connection with a general public line, and said base station 40 and switched network 50.

[0007] Said base station 40 has the transceiver antenna 41 which transmits and receives a communication link electric wave between mobile stations 30, the amplifier 42 which amplifies the communication link electric wave received with this transceiver antenna 41, and the strange recovery section 43 which modulates or restores to this communication link electric wave.

[0008] Said communications control center 60 has the exchanger 61 which makes communication link connection of between general switched networks 50 and base stations 40, and the speech processing section 62 which compresses / elongates the voice data between a switched network 50 and a mobile station 30 between the common switched network 50 and a base station 40.

[0009] This speech processing section 62 has control unit 62b which controls two or more voice expanding compression processing unit 62a which elongates the voice data of 5.6Kbps(es) from a wireless network to the voice data of 64Kbps(es) to a switched network 50, and speech compression expanding processing unit 62a of these plurality while compressing the voice data of 64Kbps(es) from the common switched network 50 into the voice data of 5.6Kbps(es) to a wireless network.

[0010] According to such a communication line system, the communication link between the common

switched network 50 and a wireless network is realizable by compressing / elongating the voice data between a switched network 50 and a wireless network by each speech compression expanding processing unit 62a in said speech processing section 62.

[0011] So, in control unit 62b of such the speech processing section 62, since it is necessary to carry out compression/expanding processing of a lot of voice data of two or more channels to real time, that is, to control two or more speech compression expanding processing unit 62a on it on real time, the actual condition is that the electronic instrument corresponding to rapid access is generally demanded.

[0012]

[Problem(s) to be Solved by the Invention] However, as shown in drawing 2, while adjoining CPU21 and arranging the rapid access field 22 in the conventional electronic instrument Although usual access fields 23 other than this rapid access field 22 are arranged to free space and between these CPUs21, the rapid access field 22, and the usual access field 23 was connected with the data bus When the distance of this data bus 24 became long, since that wiring capacity became large, the wave provincial accent occurred, and there was a trouble that the data error resulting from this wave provincial accent caused trouble to the processing actuation between the required rapid access field 22 of rapid access and CPU21.

[0013] This invention is made in view of the above-mentioned trouble, and the place made into the purpose is to offer the rapid access control system of CPU which realizes smooth rapid access between CPU and a rapid access field.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose a rapid access control system of CPU of this invention A control means which performs data processing, and a rapid access field which requires rapid access in connection with this control means, A usual access field in connection with said control means other than this rapid access field which usually requires access, Said rapid access field and a data bus for usually transmitting data between an access field and a control means, It is characterized by having said control means, a means for switching which usually connects or cuts a data bus between access fields, and a change over control means which carries out change over control of a control means and the means for switching [in / usually / a data bus between access fields] according to a predetermined signal.

[0015] Therefore, according to the rapid access control system of CPU of this invention, a control means and a means for switching which usually connects or cuts a data bus between access fields are established. According to a Sadanobu Tokoro number, it was made to carry out change over control of a control means and the means for switching [in / usually / a data bus between access fields]. that is, in performing rapid access from said control means to a rapid access field Since a data bus between access fields was usually cut with a control means A factor which serves as evil of high-speed processing by lessening wiring capacity of a data bus between said control means and a rapid access field can be reduced, and smooth rapid access between a control means and a rapid access field can be realized.

[0016]

[Embodiment of the Invention] The rapid access control system of CPU according to claim 1 in this invention The control means which performs data processing, and the rapid access field which requires the rapid access in connection with this control means, The usual access field in connection with said control means other than this rapid access field which usually requires access, Said rapid access field and the data bus for usually transmitting the data between an access field and a control means, It is characterized by having said control means, the means for switching which usually connects or cuts the data bus between access fields, and the change over control means which carries out change over control of a control means and the means for switching [in / usually / the data bus between access fields] according to a predetermined signal.

[0017] Said control means is equivalent to the central-process control unit (CPU) which accesses for example, a circumference circuit and performs data processing etc.

[0018] Said rapid access field is equivalent to the field which requires the rapid access in connection with said control means, and is equivalent to FROM, SRAM, etc.

[0019] An access field is equivalent to said field in connection with said control means other than said rapid access field which usually requires access, and is usually equivalent to an I/O register etc.

[0020] Said data bus is equivalent to said rapid access field and the transmission line for usually transmitting the data between an access field and a control means.

[0021] Said means for switching is equivalent to said control means and the bus switch from which the data bus between access fields is usually connected or cut.

[0022] Said change over control means is equivalent to the change over control section which usually carries out change over control of the means for switching [in / with a control means / the data bus between access fields] according to a predetermined signal.

[0023] Therefore, according to the rapid access control system of CPU according to claim 1 in this invention A control means and the means for switching which usually connects or cuts the data bus between access fields are established. According to the Sadanobu Tokoro number, it was made to carry out change over control of a control means and the means for switching [in / usually / the data bus between access fields]. that is, in performing rapid access from said control means to a rapid access field Since the data bus between access fields was usually cut with the control means The factor which serves as evil of high-speed processing by lessening wiring capacity of the data bus between said control means and a rapid access field can be reduced, and smooth rapid access between a control means and a rapid access field can be realized.

[0024] moreover, the rapid-access control system of the CPU according to claim 2 in this invention -- the configuration of the claim 1 above-mentioned publication -- in addition, if it has an access command detection means detect the access command to which the access actuation to a rapid-access field from said control means is urged and said change over control means detects an access command with this access command detection means, it will carry out carrying out change over control in a means for switching so that the data bus between access fields may usually cut with said control means as the feature.

[0025] Said access command detection means is equivalent to the part which detects the access command to which the access actuation to a rapid access field from said control means is urged.

[0026] Therefore, since according to the rapid access control system of CPU according to claim 2 in this invention it was made to carry out change over control of the means for switching so that the data bus between access fields might usually be cut with a control means when the access command detection means detected the access command in addition to the effect of the claim 1 above-mentioned publication, change over actuation can be performed automatically.

[0027] moreover, the rapid access control system of CPU according to claim 3 in this invention -- a configuration above-mentioned claim 1 or given in two -- in addition, the data bus of said rapid access field and control hand interstage is more nearly usually than the data bus of an access field and control hand interstage characterized by said thing [having lessened the wiring capacity].

[0028] Therefore, according to the rapid access control system of CPU according to claim 3 in this invention, since the data bus of a rapid access field and control hand interstage made the wiring capacity fewer than the data bus of said usual access field and control hand interstage in addition to the effect above-mentioned claim 1 or given in two, more nearly high-speed access is realizable.

[0029] moreover, the rapid access control system of CPU according to claim 4 in this invention -- a configuration above-mentioned claim 1 or given in two -- in addition, said change over control means is that an impedance value changes, and is characterized by carrying out change over control of a control means and the means for switching [in / usually / the data bus between access fields].

[0030] the rapid access control system of CPU according to claim 5 in this invention -- the configuration of the claim 3 above-mentioned publication -- in addition, said change over control means is that an impedance value changes, and is characterized by carrying out change over control of a control means and the means for switching [in / usually / the data bus between access fields].

[0031] therefore -- according to the rapid access control system of CPU according to claim 4 or 5 in this invention -- an effect above-mentioned claim 1, 2, or given in three -- in addition, modification of an impedance value -- change over of a means for switching -- since it was made controllable, high-speed

change over can be performed easily.

[0032] Moreover, in addition to a configuration above-mentioned claims 1 and 2 or given in five, the rapid access control system of CPU according to claim 6 in this invention is set to the communication system which connects a wire circuit and a wireless circuit, and is characterized by being the control unit which controls the compression expanding unit which performs compression expanding processing of the comomo data between these wire circuits and a wireless circuit.

[0033] In addition to the configuration of the claim 3 above-mentioned publication, the rapid access control system of CPU according to claim 7 in this invention is set to the communication system which connects a wire circuit and a wireless circuit, and is characterized by being the control unit which controls the compression expanding unit which performs compression expanding processing of the comomo data between these wire circuits and a wireless circuit.

[0034] In addition to the configuration of the claim 4 above-mentioned publication, the rapid access control system of CPU according to claim 8 in this invention is set to the communication system which connects a wire circuit and a wireless circuit, and is characterized by being the control unit which controls the compression expanding unit which performs compression expanding processing of the comomo data between these wire circuits and a wireless circuit.

[0035] Said compression expanding unit is equivalent to the speech compression expanding processing unit used for the speech processing section which elongates the voice data of 5.6Kbps(es) in a wireless circuit to the voice data of 64Kbps(es) in a wire circuit while compressing the voice data of 64Kbps(es) in a wire circuit into the voice data of 5.6Kbps(es) in a wireless circuit.

[0036] Said control unit is equivalent to the unit which controls for example, a speech compression expanding processing unit.

[0037] Therefore, according to the rapid access control system of CPU according to claim 6, 7, or 8 in this invention, in addition to an effect above-mentioned claims 1 and 2, 5 and 3, or given in four, the communication link between a wire circuit and a wireless circuit can be smoothly performed by realizing speech compression expanding between a wire circuit and a wireless circuit.

[0038] Hereafter, the electronic instrument in which the gestalt of operation of the rapid access control system of CPU of this invention is shown based on a drawing is explained.

[0039] (Gestalt of operation) Drawing 1 is the block diagram showing the outline configuration inside the electronic instrument shown in the gestalt of this operation.

[0040] CPU1 in which the electronic instrument shown in drawing 1 manages control of this whole equipment, and the rapid access field 2 which requires the rapid access in connection with this CPU1, The usual access field 3 in connection with CPUs1 other than this rapid access field 2 which usually requires access, Said rapid access field 2 and the data bus 4 as the address/a data line for usually transmitting the data between the access field 3 and CPU1, The bus switch 5 which usually carries out ON/OFF of the data bus 4 between the access fields 3 to CPU1, If the access command to which the access actuation to the rapid access field 2 from said CPU1 is urged is detected, it constitutes from the bus control section 6 which carries out change over control of the bus switch 5 so that the data bus 4 between the access fields 3 may usually be carried out to said CPU1 at OFF.

[0041] Constituting said rapid access field 2 from FROM2a, SRAM2b, etc., the access field 3 is usually said thing to constitute from I/O register3a, LAP-B3b, etc.

[0042] Said CPU1 manages control of this whole equipment, and controls read/write control, data processing, bus switch change over control of the bus control section 6, etc. especially. Said bus control section 6 controls change over actuation of the bus switch 5 according to the command from CPU1.

[0043] Said especially rapid access field 2 is a processing field where rapidity is demanded, and is constituted independently with the other usual access fields 3. Although this rapid access field 2 is directly linked with CPU1 through a data bus 4, the other usual access fields 3 are different in that connection with CPU1 is constituted possible [an ON/OFF change] through the bus switch 5. In addition, the access field 3 is equivalent to said processing field as which rapidity is not usually required.

[0044] The bus switch 5 controls electric **/** with CPU1 by the bus control section 6. Between I/O is

low impedance at the time of connection, at the time of cutting, it becomes a high impedance and, more specifically, as for this bus switch 5, the electrical installation between the access field 3, CPU1, and the rapid access field 2 usually breaks off its relationship in operation.

[0045] Data buses 4 are CPU1, the rapid access field 2, and a transmission line for usually delivering and receiving data, a processing signal, a data-address signal, etc. between access field 3 grades.

[0046] Such an electronic instrument changes the property inside equipment according to the condition of the bus switch 5. These contents are explained in full detail below.

[0047] Although it is known well conventionally, equipment, a board, a circuit, an element, etc. have the electric factor of LCR general to some extent. In a low speed and low power actuation, these electric factors do not produce the conspicuous effect on the whole equipment. However, it becomes the factor which cannot be disregarded when especially actuation of equipment is accelerated. That is, timing delay of an electrical signal, especially a high-speed signal and the wave of LCR which is parasitic on a circuit become blunt, and it produces attenuation etc. These factors serve as a failure of drive[high-speed]-izing.

[0048] Generating of the trouble stated in the column of the above [Object of the Invention] is based on these factors. Therefore, it becomes one solution in question to make these factors as small as possible.

[0049] Then, the electronic instrument shown in the gestalt of this operation established the rapid access field 2 used at the time of high-speed processing in the neighborhood of CPU1, and has formed the bus switch 5 in the preceding paragraph of the usual access field 3 which is not used at the time of high-speed processing further. Therefore, shortening of the circuit length on parenchyma is made by ON/OFF control of this bus switch 5. An effect produces shortening of a circuit in contraction-ization (contraction-izing of wiring capacity) of the electric factor of LCR, especially the capacity component C.

[0050] Therefore, according to the electronic instrument shown in the gestalt of this operation, at the time of required processing of high-speed processing, the bus control section 6 is controlled and the bus switch 3 is formed into a high impedance. It is separated from the data bus 4 with which the access field 3 was usually directly linked substantially by this high impedance-ization with CPU1, and the LCR value seen from the CPU1 side falls.

[0051] By the fall of an LCR value which is parasitic on this circuit, stabilization of the signal at the time of high-speed processing improves. Therefore, high-speed processing is attained from the case where it is the bus switch 5 at the low impedance-ized time.

[0052] Therefore, a higher effect can be acquired by stopping to the minimum field needed for high-speed processing, approaching CPU1, and carrying out direct continuation of the rapid access field 2 with the shorter data bus 4.

[0053] In addition, an above-mentioned operation gestalt is an example of suitable operation of this invention. However, deformation implementation is variously possible within limits which do not deviate not from the thing limited to this but from the summary of this invention.

[0054]

[Effect of the Invention] According to the rapid access control system of CPU of this invention constituted as mentioned above A control means and the means for switching which usually connects or cuts the data bus between access fields are established. According to the Sadanobu Tokoro number, it was made to carry out change over control of a control means and the means for switching [in / usually / the data bus between access fields]. that is, in performing rapid access from said control means to a rapid access field Since the data bus between access fields was usually cut with the control means The factor which serves as evil of high-speed processing by lessening wiring capacity of the data bus between said control means and a rapid access field can be reduced, and smooth rapid access between a control means and a rapid access field can be realized.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the outline configuration inside the electronic instrument in which the gestalt of the operation in the rapid access control system of CPU of this invention is shown

[Drawing 2] The block diagram showing the outline configuration inside the electronic instrument in the rapid access control system of the conventional CPU

[Drawing 3] System block drawing showing the outline configuration inside a common wireless circuit system

[Description of Notations]

1 CPU (Control Means)

2 Rapid Access Field

3 Usually, Access Field

4 Data Bus

5 Bus Switch (Means for Switching)

6 Bus Control Section (Change over Control Means)

[Translation done.]